**Conjunto Residente o Working Set**: porción del espacio de direcciones del proceso que se encuentra en memoria.

**Memoria virtual**: mecanismo que permite la ejecución de procesos que no se encuentren completamente en memoria. Sirve para liberar a los programadores de las limitaciones relativas al espacio de la memoria, el cual ahora será impuesto por el HW y el bus de direcciones. Para aplicar esta técnica se necesita: apoyo del hardware para ir metiendo páginas a medida que se necesite, un dispositivo de almacenamiento secundario para resguardar todo lo que no está cargado en la memoria principal (como un disco) y programar al SO para que cargue y descargue las páginas.

Para usar esta técnica se utiliza **paginación por demanda**, que consiste en cargar a memoria principal las páginas que se necesitan en un momento dado. Se usa el **bit V** para saber si la página está o no en memoria y el **bit M** para saber si fue modificada y hay que reflejar cambios. El bit V lo cambia el SW y el bit M lo cambia el HW. Cuando el bit V es 0, ocurre fallo de página o page fault, se genera una trap/excepción/interrupción por software. Si los page faults son excesivos, la performance del sistema decae.

Cada proceso tiene su tabla de páginas, que debe estar en memoria principal para que el MMU pueda traducir. Existen varias maneras de organizarla:

* Tabla única lineal
* Tabla de 2 niveles: se puede paginar la tabla de páginas(ósea las de segundo nivel sacarlas de memoria principal). El primer nivel posee las direcciones bases de la tabla de 2do nivel. La desventaja es que hay que acceder 2 veces para traducir direcciones
* Tabla invertida (Hashing): la tabla solo posee entradas de tabla de páginas que se encuentran en memoria principal. Si la entrada de la página que se busca no está en la tabla, ocurre el fallo de página.

Tamaños de página: pequeños (menos FI, tablas de páginas más grandes, más páginas en memoria), grandes (mayor FI, más eficiente mover las páginas a memoria principal). El tamaño de página lo provee el hardware.

**TLB**: es una memoria caché que está en la CPU o ligada al MMU que guarda entrada de tablas de páginas. Si la página está es un TLB hit y se realiza la resolución de la dirección en ese momento. Si la página no está es un TLB miss y la traducción se hace desde la tabla de páginas y se actualiza la TLB. La política de reemplazo de la TLB es LRU.

Para poder ejecutarse, a un proceso se le deben asignar marcos de memoria. Esta asignación puede ser fija (equitativa o proporcional) o dinámica.

Al momento de seleccionar una página víctima, el reemplazo puede ser global o local (generalmente se usa la local).

Los algoritmos de reemplazo son: OPTIMO, FIFO (puede ser con segunda chance), LRU y NRU